

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044364

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 27/04
H01L 21/822

(21)Application number : 11-213123

(71)Applicant : ROHM CO LTD

(22)Date of filing : 28.07.1999

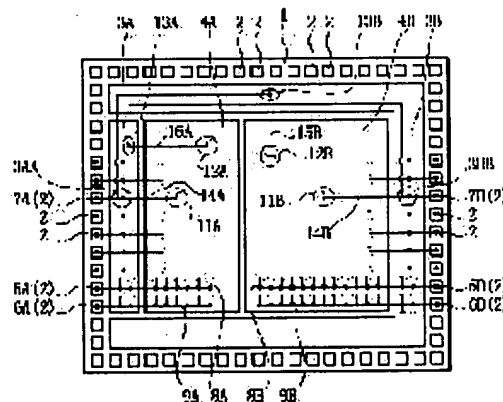
(72)Inventor : HIRAGA NORIAKI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reinforce protection of an inner circuit from electrostatic discharge breakdown.

SOLUTION: A first protective circuit 3AA is installed, and an inner element 11A is protected from electrostatic destruction in an input/output circuit 3A with respect to a signal wiring 14A from an outer connection terminal 7A to an inner circuit 4A, whose power lines 8A and 9A are similar to the circuit 3A via the input/output circuit 3A. A second protective circuit 13B is installed in a branch wiring 15B via an input/output circuit 3B in the same group as an inner circuit 4B, before it reaches the inner circuit 4B whose power lines 8B and 9B differ, and third protection circuits are also installed in the inner circuit 4B. The inner circuit 4B is protected from electrostatic discharge breakdown in multiple stages. An active element detached from any signal wiring is introduced as a protective element. Then, the element of the protected object is protected from the surrounding by the plural protection elements.



LEGAL STATUS

[Date of request for examination]

27.04.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number] 3383613

[Date of registration] 20.12.2002

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-44364

(P2001-44364A)

(43)公開日 平成13年2月16日(2001.2.16)

(51)Int.Cl.⁷

H01L 27/04

21/822

識別記号

F I

H01L 27/04

テーマコード* (参考)

E 5 F 0 3 8

審査請求 有 請求項の数 3 O L (全 6 頁)

(21)出願番号 特願平11-213123

(22)出願日 平成11年7月28日(1999.7.28)

(71)出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72)発明者 平賀 則秋

京都府京都市右京区西院溝崎町21番地 □

ーム株式会社内

(74)代理人 100106345

弁理士 佐藤 香

Fターム(参考) 5F038 AV04 AV06 BE07 BH04 BH07

BH13 CA02 CA03 CD02 CD05

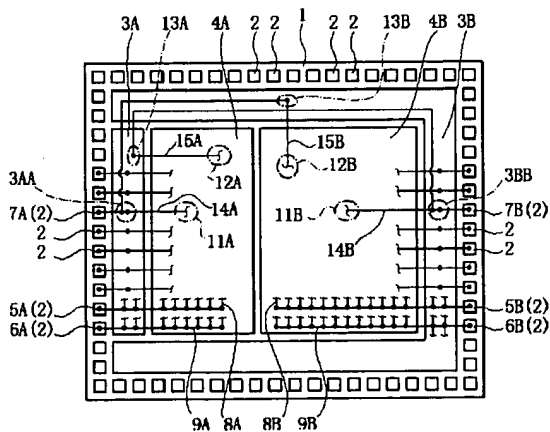
DF11 DF12 EZ20

(54)【発明の名称】 半導体集積回路装置

(57)【要約】

【課題】 静電破壊からの内部回路保護を強化する。

【解決手段】 外部接続端子7Aから入出力回路3Aを経てこれと電源ライン8A、9Aの同じ内部回路4Aに至る信号配線14Aに対しては入出力回路3A入出力回路において第1保護回路3AAを設けて内部素子11Aを静電破壊から保護することに加えて、分岐配線15Bには、電源ライン8B、9Bの異なる内部回路4Bに至る前にそれと同じ組の入出力回路3Bを経るようにしたうえでそこに第2保護回路13Bを設けるとともに、内部回路4Bにも第3保護回路23~26を設けて、内部回路4Bが静電破壊から多段に保護されるようにする。また、何れの信号配線からも切り離された能動素子を保護素子として導入する。さらに、複数の保護素子で保護対象の素子を周りに保護する。



【特許請求の範囲】

【請求項1】電源ラインの異なる複数組の入出力回路および内部回路と、外部接続端子から前記複数組のうち何れか一の組における入出力回路を経てこれと同じ組の内部回路に至る信号配線と、この信号配線から分岐して前記複数組のうち何れか他の組における入出力回路を経てこれと同じ組の内部回路に至る分岐配線と、前記一の組の入出力回路において前記信号配線に対して設けられた第1保護回路と、前記他の組の入出力回路において前記分岐配線に対して設けられた第2保護回路と、前記他の組の内部回路において前記分岐配線に対して設けられた第3保護回路とを備えた半導体集積回路装置。

【請求項2】該当入出力回路又は該当内部回路の電源ラインには接続されているが何れの信号配線からも切り離されている能動素子が前記第1、第2、第3保護回路の何れかに含まれている請求項1記載の半導体集積回路装置。

【請求項3】前記第3保護回路に複数個の保護素子が含まれており、これらの保護素子が保護対象の素子を挟むよう又は囲むように配置されている、請求項1又は請求項2に記載された半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電源電圧を異にする複数組の入出力回路および内部回路に加えてそのような幾つかの内部回路で同じ外部信号を入力等するために信号配線および分岐配線も設けられている半導体集積回路装置に関し、詳しくは、そのような内部回路において能動素子からなる入力素子等を静電気の放電等による破壊から保護する技術に関する。そのような半導体集積回路装置としては、多機能のLSI（大規模集積回路装置）や、デジタル・アナログ混在LSI、マルチ電源のデジタルLSIなどが挙げられる。

【0002】

【従来の技術】素子数の多い半導体集積回路装置では、周辺部から中央部へ順に外部接続端子と入出力回路と内部回路とが配置されるとともに、外部接続端子から内部回路に至る信号配線に対しては内部素子等の保護のために途中の入出力回路においてその信号配線と電源ラインとに接続された一対の又は一組のダイオードやトランジスタ等の整流素子からなる第1保護回路が設けられていた。また、電源電圧を異にする複数組の入出力回路および内部回路を持った半導体集積回路装置では、静電破壊に対する対策として、上述の第1保護回路に加えて、信号配線やその分岐配線にて繋がれている内部回路間にブロック間保護回路を付設することも行われてきた。かかるブロック間保護回路は、抵抗や、整流素子、ツェナーダイオード又は類似機能のトランジスタなどで構成され、供給される電源電圧の異なる電源ラインに対しても接続される。そして、内部回路の微細化等に伴い内部素

子の耐圧が弱くなると、内部素子よりは個数の少ない入力保護回路を大きくしたり、ブロック間保護回路を増やしたり更には大きくしたりして、静電破壊からの保護を強化していた。

【0003】

【発明が解決しようとする課題】しかしながら、内部回路の微細化や高速化の進展により、ゲート耐圧等の内部素子自体の耐力が低下し、そのうえ、内部回路内でも局所的な電位差の緩和が間に合わなくなったり、同じ組の電源ライン間でのサージノイズ伝搬の遅速も無視できなくなってきた。このため、上述の従来手法を繰り返すだけでは十分な保護が得られない。特に、第1保護回路つきの信号配線から分岐して電源ラインの異なる他の内部回路に至る分岐配線に関しては、第1保護回路による副次的な保護では足りなくなって来た。そこで、かかる信号配線および分岐配線を持った半導体集積回路装置について、静電破壊からの内部回路保護を強化する必要がある。この発明は、このような課題を解決するためになされたものであり、静電破壊に強い半導体集積回路装置を実現することを目的とする。

【0004】

【課題を解決するための手段】このような課題を解決するために、請求項1の半導体集積回路装置にあっては、外部接続端子から電源ラインの異なる複数組の入出力回路および内部回路のうち何れか一の組における入出力回路を経てこれと同じ組の内部回路に至る信号配線に対しては前記一の組の入出力回路において第1保護回路を設けて前記一の組の内部回路を静電破壊から保護することに加えて、この信号配線から分岐して前記複数組のうち何れか他の組における内部回路に至る分岐配線に関しては、前記分岐配線が前記他の組の内部回路に至る前にそれと同じ組の入出力回路を経るようにしたうえでそこに第2保護回路を設けるとともに、前記他の組の内部回路にも第3保護回路を設けて、前記他の組の内部回路が静電破壊から多段に保護されるようになっている。

【0005】また、請求項2のものは、上記の半導体集積回路装置であるが、前記第1、第2、第3保護回路のうちそれに含まれている一部または全部の保護素子を電源電圧の相違等のため前記信号配線や前記分岐配線などに直接接続するのが困難なところには、該当入出力回路又は該当内部回路の電源ラインには接続されているが何れの信号配線からも切り離されている能動素子が導入されていて、これが保護素子として働くようになっている。

【0006】さらに、請求項3のものは、上記の半導体集積回路装置であって、前記第3保護回路の保護対象の素子が、これを挟むよう又は囲むように配置された複数個の保護素子によって、周りから保護されるようになっている。

【0007】

【発明の実施の形態】本発明の半導体集積回路装置1の具体的構成例を図1～図3により説明する。これは(図1参照)、COMS構造の大規模集積回路をワンチップに形成したものであり、周辺部から中央部へ順にボンディングパッド等の外部接続端子2と外部信号入出力回路と内部回路とが配置されるが、左右に分かれた内部回路4Aと内部回路4Bとで供給される電源電圧が異なり例えば5V対3Vとなっているため、入出力回路3Aと入出力回路3Bも左右に分かれていて、入出力回路3A及び内部回路4Aの組には一対の電源ライン8A、9Aが引き回される一方、入出力回路3Bと内部回路4Bとの組には別の一対の電源ライン8B、9Bが引き回されている。

【0008】多数の外部接続端子2も左右に分かれて各組に割り当てられ、そのうちの高電源用端子5Aには電源ライン8Aが接続され、接地用端子6Aには電源ライン9Aが接続され、低電源用端子5Bには電源ライン8Bが接続され、接地用端子6Bには電源ライン9Bが接続されている。また、他の外部接続端子2は、それぞれ、適宜の外部信号入出力用に割り当てられ、入出力回路を経てこれと同じ組の内部回路に至る信号配線に接続される。例えば、入出力用端子7Aに接続された信号配線14Aは入出力回路3Aを経てからこれと同じ組の内部回路4A内の内部素子11Aに至る。また、入出力用端子7Bに接続された信号配線14Bは入出力回路3Bを経てからこれと同じ組の内部回路4B内の内部素子11Bに至るようになっている。

【0009】信号配線14Aに対しては、入出力回路3Aにおいて第1保護回路3AAが設けられるとともに、そこから分岐配線15Bが分岐している。この分岐配線15Bは、分岐後、入出力回路3A及び内部回路4Aの組から離れて延び、一旦、他の組における入出力回路3Bを経てから、最終的には、これと同じ組の内部回路4Bに至り、そこで入力素子12Bに接続されている。この分岐配線15Bに対し、入出力回路3Bにおいては第2保護回路13Bが設けられるとともに、内部回路4Bにおいては入力素子12Bのところに第3保護回路23～26が設けられる。

【0010】同様に、信号配線14Bに対しては入出力回路3Bにおいて第1保護回路3BBが設けられ、その分岐配線15Aは、その入出力回路3B及び内部回路4Bの組から離れ、他の組における入出力回路3Aを経てから同じ組の内部回路4Aに至って入力素子12Aに接続されている。この分岐配線15Aに対しては、入出力回路3Aにおいて第2保護回路13Bが設けられ、内部回路4Aにおいて入力素子12Aのところに第3保護回路33～36が設けられている。

【0011】第1保護回路3AAは(図3参照)、カソードが電源ライン8Aに接続されアノードが信号配線14Aに接続されたダイオードD1と、カソードが信号配

線14Aに接続されアノードが電源ライン9Aに接続されたダイオードD2と、ソース及びゲートが電源ライン8Aに接続されドレインが電源ライン9Aに接続されたpMOSトランジスタである第1能動素子21とを、近接した状態で、具えている。第1保護回路3BBも、電源ライン8B、9B及び信号配線14Bに対してそれぞれ同様に接続された同様のダイオードD4、D5及び第1能動素子31を近接状態で具えている。

【0012】また、第2保護回路13Aは、カソードが電源ライン8Aに接続されアノードが分岐配線15Aに接続されたダイオードD6と、カソードが分岐配線15Aに接続されアノードが電源ライン9Aに接続されたダイオードD7と、ソース及びゲートが電源ライン8Aに接続されドレインが電源ライン9Aに接続されたpMOSトランジスタである第2能動素子32とを、近接状態で、具えている。第2保護回路13Bも、電源ライン8B、9B及び分岐配線15Bに対してそれぞれ同様に接続された同様のダイオードD3及び第2能動素子22を近接状態で具えているが、通常動作状態で分岐配線15Bの電圧が電源ライン8Bの電圧より高くなる可能性があるため、それらの間にはダイオードが設けられていない。

【0013】さらに、入力素子12Aは、ドレインが互いに接続された一対のトランジスタ12AP、12ANからなり、そのトランジスタ12APのソースは電源ライン8Aに接続されトランジスタ12ANのソースは電源ライン9Aに接続され何れのゲートも分岐配線15Aに接続されている。そして、この入力素子12Aに対する第3保護回路33～36には、ソース及びゲートが電源ライン8Aに接続されドレインが分岐配線15Aに接続されたpMOSトランジスタである第3能動素子33、35に加えて、ソース及びゲートが電源ライン9Aに接続されドレインが分岐配線15Aに接続されたnMOSトランジスタである第3能動素子33、35も設けられている。

【0014】また、入力素子12Bも、電源ライン8B、9B及び分岐配線15Bに対してそれぞれ同様に接続された同様のトランジスタ対12BP、12BNからなり、この入力素子12Bに対する第3保護回路23～26にも4個の第3能動素子33、34、35、36、37が設けられるが、nMOSトランジスタからなる第3能動素子24、26は、第3能動素子34、36同様にソース及びゲートが電源ライン9Bに接続されドレインが分岐配線15Bに接続されるのに対し、pMOSトランジスタからなる第3能動素子23、25は、第3能動素子33、35と異なり、通常動作状態での導通を回避するために、ドレインが分岐配線15Bで無く他の信号配線でも無く電源ライン9Bに接続される。ソース及びゲートは電源ライン8Bに接続されている。

【0015】このように、第1保護回路3AA、3BB

に含まれている第1能動素子21、31と、第2保護回路13A、13Bに含まれている第2能動素子22、32と、第3保護回路23～26に含まれている第3能動素子のうちpMOSTランジスタ23、25は、何れも、該当入出力回路又は該当内部回路の電源ラインには接続されているが、分岐配線15A、15Bを含めて何れの信号配線にも接続されないで切り離された状態のものとなっている。

【0016】さらに、第3保護回路に含まれている複数個の保護素子にて保護対象の素子を両側から挟むようにするため、入力素子12Bの近傍では、トランジスタ12BPの左側にトランジスタ23を配置し右側にトランジスタ25を配置するとともに、トランジスタ12BNの左側にはトランジスタ24を配置し右側にはトランジスタ26を配置する。同様に、入力素子12Aの近傍では、トランジスタ12APの左側にトランジスタ35を配置し右側にトランジスタ33を配置するとともに、トランジスタ12ANの左側にはトランジスタ36を配置し右側にはトランジスタ34を配置する。

【0017】このような回路をシリコンウエハ等により作り込むには、通常、各チップ毎に割り当てた内部回路4A、4Bの領域内に、能動素子用の微細な基本セルを縦横に等ピッチで繰り返し並べて配置する。そうすることで、半導体プロセスの前工程の途中までは、能動素子用の基本セルが同一構造又は同様構造で規則的に配置された汎用性の高いウエハにしておく一方、アプリケーションに基づいて具体的に能動素子の割り付け等が決まると適宜のメタル配線等を行うことで種々の要求に対して迅速に応えられるからであるが、その際、基本セルとして次のようなものが用いられる。

【0018】例えばCMOSの基本セルは(図2参照)、nMOS用セルとpMOS用セルとからなり、nMOS用セルは、p型サブストレート(p-Sub)に列島状に点在させられ、それぞれにn型半導体領域・ゲート酸化膜領域・n型半導体領域が形成されれば足りるが、図示のようにn型半導体領域・ゲート酸化膜領域・n型半導体領域・ゲート酸化膜領域・n型半導体領域を形成しておき、中央のn型半導体領域を共用することで2個のnMOSTランジスタを作り込めるようにすることも多い。また、pMOS用セルは、n型ウェル領域(n-Well)にやはり列島状に点在させられて、nMOS用セルと一対一対応が採れるように配設されるのが、それぞれ、nMOS用セルにおけるn型半導体領域をp型半導体領域に置き換えたものとなっている。

【0019】そして、各基本セルのゲート酸化膜領域上にはゲート及びその引出部となる金属等の孤立パターンが個々に形成され、さらに、適宜の絶縁層等を介させた上から、金属層等の導電体層のパターン形成によって、内部回路4Aの一連のpMOS用基本セル上には電源ライン8Aが形成され、内部回路4Aの一連のnMOS

S用基本セル上には電源ライン9Aが形成され、内部回路4Bの一連のpMOS用基本セル上には電源ライン8Bが形成され、内部回路4Bの一連のnMOS用基本セル上には電源ライン9Bが形成される。

【0020】それから、具体的に能動素子の割り付けが決まると、例えば内部回路4Bにおいて隣接する基本セルに対して一対のトランジスタ12AP、12ANが割り付けられると、それぞれの左隣の基本セルに対して第3能動素子23、24が割り付けられるとともに、それぞれの右隣の基本セルに対して第3能動素子25、26が割り付けられ、それらに付随する必要な配線もほぼ一義的に定まる。すなわち、該当する各基本セルではセル中央にVIAホール等のコンタクトホール(図中の黒丸を参照)を形成することで、トランジスタ12BP、12BN、及び第3能動素子23、24、25、26のソースがそれぞれ電源ライン8B、9Bに接続される。また、各トランジスタのドレイン及びゲートは、メタル配線(図中の太線を参照)によって、上述したような接続が確立される。

【0021】このような構成の半導体集積回路装置の場合、MOSTランジスタ21、22、23、25、31、32は、電源ライン対8A+9A、8B+9B間に接続されているが、ソースとゲートとが接続されているので、通常の動作状態では、導通することが無く、電源電圧に対してばかりか、入力素子12A、12Bの動作にも影響することが無い。MOSTランジスタ24、26、33、34、35、36も、ドレインの接続先こそ分岐配線15A、15Bになっているが、同様に、通常の動作状態では導通せず電源電圧や入力素子等の適正動作を妨げ無い。

【0022】もっとも、それらは、能動素子であるから、pn接合等の能動領域には微小ではあるが寄生キャパシタンスを持っており、瞬間的なノイズ等は双方向に流すことが或る程度までは可能である。さらに、この例の基本セルに設けられた能動素子の場合(例えば図2(b)のpMOSTランジスタ25を参照)、ドレインが異常に負側へ振れようすると導通して働き出す寄生ダイオード(25d)や、ドレインが異常に大きく正側へ跳ねたときに導通して働き出す寄生トランジスタ(25t)の存在も認められる。そして、通常の動作状態では有り得ない瞬時的なノイズが印加されたり、ソース・ドレイン間の電圧が逆転したり異常に離れたりとすると、導通する。

【0023】また、ダイオードD1～D7も、電源ライン8Bと分岐配線15Bとの間からは除外されているので、やはり通常の動作状態では電源電圧や入力素子等の適正動作を妨げ無い。そして、これらも、接続先の電源電圧が逆転したり、信号電圧と電源電圧とが逆転したりすると、導通する。

【0024】そのため、例えば入出力用端子7Aから入

ったESDサージ(ElectroStaticDischarge; 静電放電)は、先ず、第1保護回路3AAにおいて、ダイオードD1、D2の導通により電源ライン8A、9Aに逃がされるが、その際、一方の電源ラインに多く流れて片寄りが生じると第1能動素子21も導通して電源ライン8A、9A間でも一樣になるよう分散され、減衰する。次に、分岐配線15Bを伝って第2保護回路13Bに至ると、ダイオードD3の導通により電源ライン9Bに逃がされるとともに、第2能動素子22の導通により電源ライン8Bにも分散されて、ここでも減衰する。

【0025】それでも残ったESDサージは、分岐配線15Bを更に伝って入力素子12Bのところに至るが、そこでも、第3能動素子24、26によって電源ライン9Bに逃がされるとともに、第3能動素子23、25の導通により電源ライン8Bにも分散されて、さらに減衰する。しかも、それが直ちにトランジスタ12BP、12BNのソースにも両側から伝搬することから、分岐配線15Bそしてトランジスタ12BP、12BNのゲート電位が大きく変化すると、それらのソース電位も速やかに追従するかの如く同じ方に或る程度変化するので、それらのゲート・ソース間電位差の拡がりは一層抑制される。

【0026】こうして、電源系統の相違した入出力回路3Aを経てから入って来るため保護し難かった入力素子12Bも、静電破壊から確実に保護されることとなる。なお、概ね同様にして、入力素子12Aも、多段の第1保護回路3BBと第2保護回路13Aと第3保護回路33～36とによって入出力用端子7B経由のESDサージから保護されるが、こちらの方は、ダイオードD6の存在や、第3能動素子33、36のドレイン接続先の相違等により、分岐配線15Aと電源ライン8Aとの電圧逆転が直接的に緩和されるので、より確実に保護される。

【0027】また、分岐配線15A、15Bに接続されていない他の外部接続端子2に乗ったサージノイズが廻り込んだりして、入力素子12A、12Bの電源ライン8A、9A、9A、9Bの電圧が急変し、そのトランジスタ12AP、12AN、12BP、12BNのソース・ゲート間の電位差が拡がり始めたような場合にも、その周囲の第3保護回路23～26、33～36によって、少なくともそこ及びその近傍については迅速に、電位差が分散・緩和される。そして、電位差のピークが抑制されることとなる。こうして、何れの外部接続端子2から入ったサージノイズに対しても、内部回路が静電破

壊から確実に保護されるのである。

【0028】

【発明の効果】以上の説明から明らかなように、請求項1の半導体集積回路装置にあっては、分岐配線の到達先の内部回路をそこで保護するとともに途中の入出力回路でも保護するようにしたことにより、別電源系の入出力回路での副次的な保護に加えて、明示的・直接的な保護も多段になされるので、静電破壊からの内部回路保護を強化することができた。

10 【0029】また、請求項2のものにあっては、信号配線や分岐配線に直接接続しなくても保護し得るようにしたことにより、信号配線や分岐配線を介して別電源系の回路に繋がれた内部回路に関しても確実に保護回路を付設することができるようになった。

【0030】さらに、請求項3の半導体集積回路装置にあっては、対象素子を周りから保護するようにしたことにより、対象素子のところに局所的な電位差変動が生じてもこれがその周りへ分散されて電位差のピークが速やかに緩和されるので、静電破壊からの内部回路保護を更に強化することができた。

20 【図面の簡単な説明】

【図1】本発明の半導体集積回路装置の主表面全体の概要配置図である。

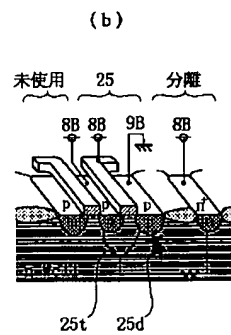
【図2】(a)は、内部回路における保護回路等のレイアウト図、(b)は、その基本単位となる半導体領域およびゲートの縦断面斜視図である。

【図3】保護回路および直接関連する部分の回路図である。

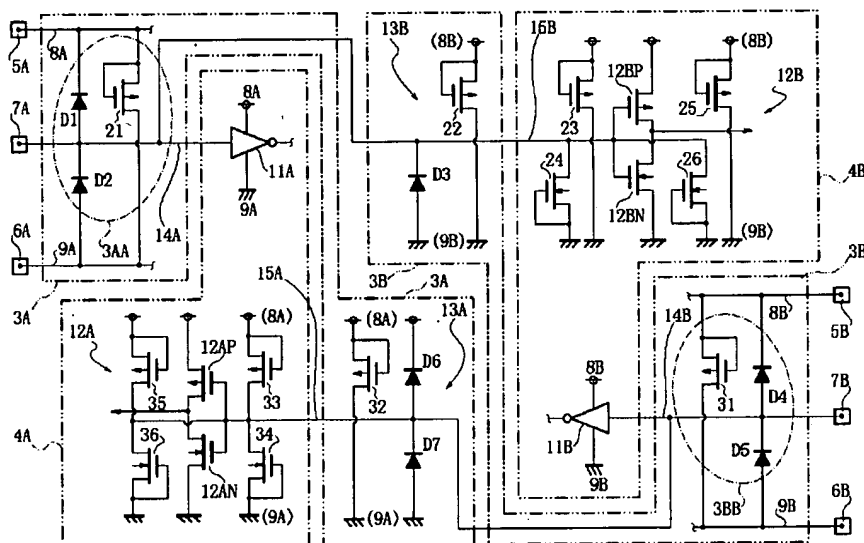
【符号の説明】

30 1…半導体集積回路装置、2…外部接続端子、3A…入出力回路、3AA…第1保護回路、3B…入出力回路、3BB…第1保護回路、4A…内部回路、4B…内部回路、5A…高電源用端子、5B…低電源用端子、6A…接地用端子、6B…接地用端子、7A…入出力用端子、7B…入出力用端子、8A…電源ライン、8B…電源ライン、9A…電源ライン、9B…電源ライン、11A…内部素子、11B…内部素子、12A…入力素子、12B…入力素子、13A…第2保護回路、13B…第2保護回路、14A…信号配線、14B…信号配線、15A…分岐配線、15B…分岐配線、21…第1能動素子、22…第2能動素子、23～26…第3能動素子(第3保護回路)、31…第1能動素子、32…第2能動素子、33～36…第3能動素子(第3保護回路)

【図2】



【図3】



*** NOTICES ***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]**[0001]**

[Field of the Invention] This invention relates to the technique which protects in detail the input component which consists of an active element in such an internal circuitry from destruction by discharge of static electricity etc. about the semiconductor integrated circuit equipment with which signal wiring and branching wiring are also prepared, in order that an input etc. may carry out the same external signal by some such internal circuitries in addition to two or more sets of I/O circuits and the internal circuitry which differ in supply voltage. As such semiconductor integrated circuit equipment, multifunctional LSI (large-scale-integrated-circuit equipment), digital one LSI of the digital analog mixture LSI and a multi-power source, etc. are mentioned.

[0002]

[Description of the Prior Art] With semiconductor integrated circuit equipment with many element numbers, while the external connection terminal, the I/O circuit, and the internal circuitry had been arranged in order from the periphery to the center section, the 1st protection network which consists of rectifying devices connected to the signal wiring and power-source Rhine in the intermediate I/O circuit to the signal wiring from an external connection terminal to an internal circuitry for protection, such as an internal component, such as diode of a pair or a lot and a transistor, was prepared. Moreover, in addition to the 1st above-mentioned protection network, with semiconductor integrated circuit equipment with two or more sets of I/O circuits and the internal circuitry which differ in supply voltage, attaching an interblock protection network between the internal circuitries connected with signal wiring or its branching wiring has also been performed as a cure to an electrostatic discharge. This interblock protection network is connected also to power-source Rhine where it consists of resistance, a rectifying device, zener diode or the transistor of a similar function, etc., and the supply voltage supplied differs. And when pressure-proofing of an internal component became weak with detailed-izing of an internal circuitry etc., enlarged the input-protection circuit with less number than an internal component, the interblock protection network was increased, or it enlarged further, and protection from an electrostatic discharge was strengthened.

[0003]

[Problem(s) to be Solved by the Invention] The proof stress of the internal component itself, such as gate pressure-proofing, declines, and it becomes impossible for relaxation of the local potential difference to meet the deadline also within an internal circuitry moreover, and it is impossible however, to also disregard the slowness and fastness of the surge noise propagation between power-source Rhine of the same group by progress of detailed-izing of an internal circuitry, or improvement in the speed. For this reason, sufficient protection is not obtained only by repeating the above-mentioned conventional technique. About branching wiring which results in other internal circuitries from which it branches from signal wiring with the 1st protection network, and power-source Rhine differs especially, it is becoming insufficient by the secondary protection by the 1st protection network. Then, it is necessary to strengthen the internal-circuitry protection from an electrostatic discharge about semiconductor

integrated circuit equipment with this signal wiring and branching wiring. This invention is made in order to solve such a technical problem, and it aims at realizing semiconductor integrated circuit equipment strong against an electrostatic discharge.

[0004]

[Means for Solving the Problem] If it is in the semiconductor integrated circuit equipment of claim 1 in order to solve such a technical problem To the signal wiring which results in the internal circuitry of the same group as this through the I/O circuit in any or the group of 1, it sets in the I/O circuit of said group of 1 among two or more sets of I/O circuits where power-source Rhine differs, and an internal circuitry from an external connection terminal. It adds to preparing the 1st protection network and protecting the internal circuitry of said group of 1 from an electrostatic discharge. It is related with branching wiring which branches from this signal wiring and results in said internal circuitry in any or other groups among groups. said branching wiring -- said -- others -- after making it pass through the I/O circuit of the same group as it before resulting in the internal circuitry of a group, while preparing the 2nd protection network there -- said -- others -- the internal circuitry of a group -- the 3rd protection network -- preparing -- said -- others -- the internal circuitry of a group is protected from an electrostatic discharge by multistage.

[0005] Moreover, although the thing of claim 2 is above semiconductor integrated circuit equipment The part contained in it among said 1st, 2nd, and 3rd protection network, or all protection components at the place where it is difficult to carry out direct continuation to said signal wiring, said branching wiring, etc. for a difference of supply voltage etc. Although it connects with power-source Rhine of an applicable I/O circuit or an applicable internal circuitry, the active element separated from any signal wiring is introduced, and this works as a protection component.

[0006] Furthermore, the thing of claim 3 is above semiconductor integrated circuit equipment, and is protected from the surroundings by two or more protection components arranged so that this may be inserted, or so that the component for [of said 3rd protection network] protection may surround.

[0007]

[Embodiment of the Invention] Drawing 1 - drawing 3 explain the example of a concrete configuration of the semiconductor integrated circuit equipment 1 of this invention. Although this forms the large-scale integrated circuit of (refer to drawing 1) and COMS structure in a one chip and the external connection terminal 2, an external signal I/O circuit, and internal circuitries, such as a bonding pad, are arranged in order from a periphery to a center section Since the supply voltage supplied by internal-circuitry 4A divided into right and left and internal-circuitry 4B differs, for example, it has become 5V pair 3V, While I/O circuit 3A and I/O circuit 3B are also divided into right and left and power-source Rhine 8A and 9A of a pair is taken about by the group of I/O circuit 3A and internal-circuitry 4A, power-source Rhine 8B and 9B of another pair is taken about by the group of I/O circuit 3B and internal-circuitry 4B.

[0008] Many external connection terminals 2 are also divided into right and left, and are assigned to each class, power-source Rhine 8A is connected to terminal 5 for high power sources A of them, power-source Rhine 9A is connected to terminal 6 for touch-down A, power-source Rhine 8B is connected to terminal 5 for low power sources B, and power-source Rhine 9B is connected to terminal 6 for touch-down B. Moreover, other external connection terminals 2 are assigned to proper external signal I/O, respectively, and are connected to the signal wiring which results in the internal circuitry of the same group as this through an I/O circuit. For example, since signal wiring 14A connected to terminal 7A for I/O should pass I/O circuit 3A, it results in internal component 11A in internal-circuitry 4A of the same group as this. Moreover, since signal wiring 14B connected to terminal 7B for I/O should pass I/O circuit 3B, it results in internal component 11B in internal-circuitry 4B of the same group as this.

[0009] While 1st protection network 3AA is prepared in I/O circuit 3A to signal wiring 14A, branching wiring 15B has branched from there. After branching, this branching wiring 15B separates from the group of I/O circuit 3A and internal-circuitry 4A, is prolonged, since it passes I/O circuit 3B in other groups, finally, results in internal-circuitry 4B of the same group as this, and is once connected to input component 12B there. While 2nd protection network 13B is prepared in I/O circuit 3B to this branching

wiring 15B, in internal-circuitry 4B, the 3rd protection network 23-26 is established in the place of input component 12B.

[0010] Similarly, to signal wiring 14B, 1st protection network 3BB is prepared in I/O circuit 3B, and it separates from the group of the I/O circuit 3B and internal-circuitry 4B, and since the branching wiring 15A should pass I/O circuit 3A in other groups, it is connected very much to internal-circuitry 4A of the same group at input component 12A. To this branching wiring 15A, 2nd protection network 13B is prepared in I/O circuit 3A, and the 3rd protection network 33-36 is established in the place of input component 12A in internal-circuitry 4A.

[0011] The diode D1 by which, as for 1st protection network 3AA, (referring to drawing 3) and a cathode were connected to power-source Rhine 8A, and the anode was connected to signal wiring 14A, The diode D2 by which the cathode was connected to signal wiring 14A, and the anode was connected to power-source Rhine 9A, It has the 1st active element 21 which is the pMOS transistor by which the source and the gate were connected to power-source Rhine 8A, and the drain was connected to power-source Rhine 9A in the condition of having approached. It has the same diodes D4 and D5 and the 1st same active element 31 to which 1st protection network 3BB was connected respectively similarly to power-source Rhine 8B and 9B and signal wiring 14B in the state of contiguity.

[0012] Moreover, the diode D6 by which, as for 2nd protection network 13A, the cathode was connected to power-source Rhine 8A, and the anode was connected to branching wiring 15A, It has the diode D7 by which the cathode was connected to branching wiring 15A, and the anode was connected to power-source Rhine 9A, and the 2nd active element 32 which is the pMOS transistor by which the source and the gate were connected to power-source Rhine 8A, and the drain was connected to power-source Rhine 9A in the state of contiguity. Although it has the same diode D3 and the 2nd same active element 22 to which 2nd protection network 13B was connected respectively similarly to power-source Rhine 8B and 9B and branching wiring 15B in the state of contiguity, since the electrical potential difference of branching wiring 15B may become higher than the electrical potential difference of power-source Rhine 8B in the state of normal operation, diode is not formed among them.

[0013] Furthermore, input component 12A consists of transistor 12AP of the pair to which the drain of each other was connected, and 12AN, the source of the transistor 12AP is connected to power-source Rhine 8A, the source of transistor 12AN is connected to power-source Rhine 9A, and any gate is connected to branching wiring 15A. And in addition to the 3rd active element 33 and 35 which is the pMOS transistors by which the source and the gate were connected to power-source Rhine 8A, and the drain was connected to branching wiring 15A, the 3rd active element 33 and 35 which is the nMOS transistors by which the source and the gate were connected to power-source Rhine 9A, and the drain was connected to branching wiring 15A is also formed in the 3rd protection network 33-36 to this input component 12A.

[0014] Moreover, it consists of same transistor pair 12BP to which input component 12B was connected respectively similarly to power-source Rhine 8B and 9B and branching wiring 15B, and 12BN. Although the 3rd four active element 33, 34, 35, 36, and 37 is formed also in the 3rd protection network 23-26 to this input component 12B The 3rd active element 24 and 26 which consists of a nMOS transistor As opposed to the source and the gate being connected to power-source Rhine 9B like the 3rd active element 34 and 36, and a drain being connected to branching wiring 15B In order to avoid a flow in the normal operation condition unlike the 3rd active element 33 and 35, the 3rd active element 23 and 25 which consists of a pMOS transistor does not have a drain at branching wiring 15B, and other signal wiring does not have it, and it is connected to power-source Rhine 9B. The source and the gate are connected to power-source Rhine 8B.

[0015] Thus, the 1st active element 21 and 31 contained in 1st protection network 3AA and 3BB, Among the 2nd active element 22 and 32 contained in the 2nd protection network 13A and 13B, and the 3rd active element contained in the 3rd protection network 23-26, all, although it connects with power-source Rhine of an applicable I/O circuit or an applicable internal circuitry, the pMOS transistors 23 and 25 It is a thing in the condition of having been separated without connecting with any signal wiring including the branching wiring 15A and 15B.

[0016] Furthermore, in order to pinch the component for protection from both sides with two or more protection components contained in the 3rd protection network, while arranging a transistor 23 on the left-hand side of transistor 12BP and arranging a transistor 25 on right-hand side near the input component 12B, a transistor 24 is arranged on the left-hand side of transistor 12BN, and a transistor 26 is arranged in right-hand side. While similarly arranging a transistor 35 on the left-hand side of transistor 12AP and arranging a transistor 33 on right-hand side near the input component 12A, a transistor 36 is arranged on the left-hand side of transistor 12AN, and a transistor 34 is arranged in right-hand side.

[0017] In order to make such a circuit to a silicon wafer etc., in the field of the internal circuitries 4A and 4B assigned for every chip, in pitches [every direction], the detailed primitive cell for active elements is repeated, and is usually put in order and arranged. Although it is because it can respond quickly by doing so to demands various by performing proper metal wiring etc. if allotment of an active element etc. is concretely decided based on application while the primitive cell for active elements uses the middle of the last process of a semi-conductor process as the high wafer of the same structure or the versatility similarly arranged regularly with structure, the following is used as a primitive cell in that case.

[0018] For example, although it is sufficient if the primitive cell of CMOS consists of (refer to drawing 2), a cel for nMOS, and a cel for pMOS, it is made for p mold substrate (p-Sub) to be dotted with the cel for nMOS in the shape of islands and a n-type-semiconductor field, a gate area of exposed oxide, and a n-type-semiconductor field are formed in each A n-type-semiconductor field, the gate area of exposed oxide, the n-type-semiconductor field, the gate area of exposed oxide, and the n-type-semiconductor field are formed like illustration, and two nMOS transistors are made and put by sharing a central n-type-semiconductor field in many cases. Moreover, it is made for n mold well field (n-Well) to be too dotted with the cel for pMOS in the shape of islands, and it has become that with which being arranged so that the cel for nMOS and a one to one correspondence can be taken replaced the n-type-semiconductor field in the cel for nMOS to the p type semiconductor field, respectively.

[0019] By and the pattern formation of conductor layers, such as a metal layer, from from [after isolated patterns, such as a metal which serves as the gate and its drawer section on the gate area of exposed oxide of each primitive cell, are formed separately and making a still more proper insulating layer etc. intervene] Power-source Rhine 8A is formed on the primitive cell for pMOS of a single string of internal-circuitry 4A. Power-source Rhine 9A is formed on the primitive cell for nMOS of a single string of internal-circuitry 4A, power-source Rhine 8B is formed on the primitive cell for pMOS of a single string of internal-circuitry 4B, and power-source Rhine 9B is formed on the primitive cell for nMOS of a single string of internal-circuitry 4B.

[0020] And if transistor 12AP of a pair and 12AN are assigned to the primitive cell which adjoins, for example in internal-circuitry 4B if allotment of an active element is decided concretely, while the 3rd active element 23 and 24 will be assigned to the primitive cell of each left-hand, the 3rd active element 25 and 26 is assigned to the primitive cell of each right-hand, and required wiring which accompanies them also becomes settled almost uniquely. That is, at each corresponding primitive cell, transistor 12BP, 12BN, and the source of the 3rd active element 23, 24, 25, and 26 are connected to power-source Rhine 8B and 9B, respectively by forming contact holes (seeing the black dot in drawing), such as a VIA hole, in the center of a cel. Moreover, connection which mentioned above the drain and the gate of each transistor with metal wiring (see the thick wire in drawing) is established.

[0021] In the case of such semiconductor integrated circuit equipment of a configuration, MOS transistors 21, 22, 23, 25, 31, and 32 are connected between power-source Rhine pair 8A+9A and 8B+9B, but since the source and the gate are connected, in a normal operating state, it does not flow and actuation of the foolish Rika and input components 12A and 12B is not influenced to supply voltage, either. Similarly, do not flow, but bar proper actuation of supply voltage, an input component, etc., and there are no MOS transistors 24, 26, 33, 34, 35, and 36 at a normal operating state, although the connection places of a drain are just the branching wiring 15A and 15B.

[0022] But since they are active elements, although they are minute in active regions, such as pn junction, they have parasitism capacitance in them, and a certain extent is possible for passing a

momentary noise etc. bidirectionally. Furthermore, in the case of the active element prepared in the primitive cell of this example (see the pMOS transistor 25 of drawing 2 (b)), the parasitic diode (25d) which will flow and will begin to work if a drain tends to sway to a negative side unusually, and existence of the parasitic transistor (25t) which flows when a drain bounds on a forward side greatly unusually, and begins to work are also accepted. And in a normal operating state, if the instant-noise which is not possible is impressed, the electrical potential difference between source drains is reversed or it separates unusually, it will flow.

[0023] Moreover, from between power-source Rhine 8B and branching wiring 15B, since diodes D1-D7 are also excepted, too, bar proper actuation of supply voltage, an input component, etc., and they are not at a normal operating state, either. And if the supply voltage of a connection place is reversed or a signal level and supply voltage also reverse these, it will flow.

[0024] therefore -- for example, first, the ESD surge (ElectroStaticDischarge; static discharge) which entered from terminal 7 for I/O A in 1st protection network 3AA, although missed by power-source Rhine 8A and 9A by the flow of diodes D1 and D2 If it flows to one power-source Rhine mostly and deviation arises in that case, it will distribute and will decrease so that the 1st active element 21 may also flow and it may become uniform also between power-source Rhine 8A and 9A. Next, if it is transmitted to branching wiring 15B and results in 2nd protection network 13B, while being missed by power-source Rhine 9B by the flow of diode D3, power-source Rhine 8B also distributes by the flow of the 2nd active element 22, and it decreases also here.

[0025] Although an intermediary reaches the place of input component 12B further, power-source Rhine 8B also distributes by the flow of the 3rd active element 23 and 25, and the ESD surge which still remained decreases branching wiring 15B further also there while being missed by the 3rd active element 24 and 26 at power-source Rhine 9B. and the way same [since it spreads from both sides also in the source of transistor 12BP and 12BN immediately, when the gate potential of branching wiring 15B, transistor 12BP, and 12BN changes a lot] as if those source potentials also followed in footsteps promptly -- being certain -- since extent change is carried out, the flare of the potential difference between those gates sources is controlled further.

[0026] In this way, input component 12B which was hard to protect in order to enter, since it passes I/O circuit 3A from which the power system was different will also be certainly protected from an electrostatic discharge. In addition, in general similarly, although input component 12A is also protected from the ESD surge of the terminal 7B course for I/O by multistage 1st protection network 3BB, 2nd protection network 13A, and the 3rd protection network 33-36 Since an electrical-potential-difference inversion with branching wiring 15A and power-source Rhine 8A is eased directly, this one is more certainly protected by existence of diode D6, the difference of the drain connection place of the 3rd active element 33 and 36, etc.

[0027] It **. moreover, the surge noise which rode on other external connection terminals 2 which are not connected to the branching wiring 15A and 15B is surroundings **** -- The electrical potential difference of power-source Rhine 8A, 9A, 9A, and 9B of the input components 12A and 12B changes suddenly. Also when the potential difference between the source gates of transistor 12AP there, 12AN, 12BP, and 12BN begins to spread, about there and its near at least, the potential difference is quickly distributed and eased by the 3rd protection network 23-26 of the perimeter, and 33-36. And the peak of the potential difference will be controlled. In this way, an internal circuitry is certainly protected from an electrostatic discharge also to the surge noise which entered from which external connection terminal 2.

[0028]

[Effect of the Invention] Since explicit and direct protection was also made by having made it protect also in an intermediate I/O circuit multistage in addition to secondary protection in the I/O circuit of another electrical power system while protecting the internal circuitry of the attainment place of branching wiring there if it was in the semiconductor integrated circuit equipment of claim 1 so that clearly from the above explanation, the internal-circuitry protection from an electrostatic discharge was able to be strengthened.

[0029] Moreover, if it was in the thing of claim 2, the protection network could be certainly attached

also about the internal circuitry connected with the circuit of another electrical power system through signal wiring or branching wiring by having enabled it to protect even if it carried out direct continuation to neither signal wiring nor branching wiring.

[0030] Furthermore, since this was distributed to the surroundings of it and the peak of the potential difference was promptly eased even if local potential difference fluctuation arose by having protected the object component from the surroundings at the place of an object component if it was in the semiconductor integrated circuit equipment of claim 3, the internal-circuitry protection from an electrostatic discharge was able to be strengthened further.

[Translation done.]